



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

PCT/IB 03 / 06071

(15.12.03)

REC'D 07 JAN 2004

WIPO

PCT

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

**Patentanmeldung Nr. Patent application No. Demande de brevet n°**

02080507.3

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Best Available Copy

Der Präsident des Europäischen Patentamts;  
im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

Anmeldung Nr:  
Application no.: 02080507.3  
Demande no:

Anmeldetag:  
Date of filing: 20.12.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.  
Groenewoudseweg 1  
5621 BA Eindhoven  
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H01L21/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SI SK

Werkwijze ter vervaardiging halfgeleiderinrichting en halfgeleiderinrichting verkregen met  
behulp van een dergelijke werkwijze

EPO - DG 1

20 12. 2002

(68)

De uitvinding heeft betrekking op een werkwijze ter vervaardiging van een halfgeleiderinrichting met een halfgeleiderlichaam en een substraat en omvattende tenminste een halfgeleiderelement en voorzien van tenminste een aansluitgebied en een daarboven liggende strookvormige aansluitgeleider die verbonden is met het aansluitgebied en die

5 beiden verzonken zijn in een diëlektricum, waarbij op het halfgeleiderlichaam een diëlectrisch gebied van een eerste materiaal wordt aangebracht ter plaatse van het te vormen aansluitgebied waarna over het diëlectrisch gebied een diëlectrische laag van een tweede materiaal dat verschilt van het eerste materiaal wordt aangebracht die ter plaatse van de te vormen strookvormige aansluitgeleider voorzien wordt van een strookvormige uitsparing die

10 in projectie gezien het diëlectrisch gebied overlapt en reikt tot aan dat gebied en waarbij na het vormen van de uitsparing en het verwijderen van het diëlectrisch gebied het aansluitgebied gevormd wordt door het deponeren van een elektrisch geleidend materiaal in de ruimte die ontstaan is door verwijdering van het diëlectrisch gebied en de aansluitgeleider gevormd wordt door het deponeren van een elektrisch geleidend materiaal in de uitsparing.

15 Een dergelijke werkwijze is bijzonder geschikt voor de vervaardiging van meer complexe halfgeleiderinrichtingen waarbij gebruik gemaakt wordt van een zogenaamde multi-level of multi-layer techniek. Daarbij worden een aansluitgebied, een zogenaamde via, en een daarboven liggende en daarmee verbonden strookvormige aansluitgeleider, een zogenaamde trench, gevormd, die beiden verzonken zijn in een diëlektricum.

20

Een dergelijke werkwijze is bekend uit het Amerikaanse octrooischrift US 6,033,977 dat op 7 maart 2000 gepubliceerd is. Daarin wordt beschreven hoe op een van een substraat voorzien halfgeleiderlichaam een diëlectrisch gebied gevormd wordt van een eerste

25 materiaal ter plaatse van het te vormen aansluitgebied en daarover een diëlectrische laag wordt gedeponeerd van een tweede, van het eerste verschillend, materiaal, waarin ter plaatse van de strookvormige geleider een tot het diëlectrisch gebied reikende en dit overlappende uitsparing wordt aangebracht. Na het vormen van de uitsparing door middel van fotolithografie en etsen, wordt het diëlectrisch gebied verwijderd door middel van etsen. Dan

worden het aansluitgebied en de aansluitgeleider gevormd door het aanbrengen van een geleider in de open ruimte waar zich het diëlectrisch gebied bevond en in de uitsparing.

Een bezwaar van de bekende werkwijze is dat deze relatief complex is omdat deze veel stappen omvat. Bovendien laat de planariteit van de verkregen inrichting soms te  
5 wensen over. Omdat de werkwijze veelal besloten wordt met een CMP (= Chemical Mechanical Polishing) proces en/of verdere fotolithografische en etsstappen en omdat de kleinste details van de te vervaardigen inrichting steeds kleiner worden is het van groot belang dat de inrichting met het aansluitgebied en de strookvormige aansluitgeleider zo planair mogelijk is.

10 Het doel van de onderhavige uitvinding is dan ook een werkwijze van de in de aanhef genoemde soort te verschaffen die minder complex is en resulteert in een zo planair mogelijke inrichting.

15 Daartoe heeft volgens de uitvinding een werkwijze van de in de aanhef genoemde soort het kenmerk dat voor het eerste materiaal een organisch materiaal gekozen wordt en voor het tweede materiaal een materiaal gekozen wordt dat een hogere ontledingstemperatuur bezit dan het organisch materiaal en het diëlectrisch gebied verwijderd wordt door middel van verhitting daarvan boven de ontledingstemperatuur van het organisch  
20 materiaal maar onder de ontledingstemperatuur van het tweede materiaal. De uitvinding berust allereerst op het inzicht dat de keuze van een organisch materiaal voor het diëlectrisch gebied het mogelijk maakt om dit te verwijderen door middel van verhitting. Dit is een eenvoudigere processtap dan een etsproces. Bovendien kan in bepaalde varianten deze processtap gecombineerd worden met een andere op zich zelf reeds benodigde verhittingsstap  
25 waardoor effectief een processtap bespaard kan worden. De uitvinding berust verder op het inzicht dat deze voordelen met name gerealiseerd kunnen worden indien voor het materiaal van de diëlectrische laag een vloeibaar materiaal gebruikt wordt, dat na het deponeren ervan in, een opvolgende verhittingsstap omgezet wordt in een vast materiaal. Tot slot berust de uitvinding op het inzicht dat het gebruik van een materiaal voor de diëlectrische laag dat bij  
30 het aanbrengen vloeibaar is, resulteert in een bijzonder planaire structuur.

In een eerste uitvoeringsvorm van een werkwijze volgens de uitvinding wordt voor het eerste materiaal een fotolak gekozen en wordt voor het tweede materiaal een diëlectrische hars gekozen met een hogere ontledingstemperatuur dan de fotolak.

Dergelijke diëlectrische harsen zijn veelal vloeistoffen die op de inrichting worden aangebracht met behulp van een zogenaamd spin proces. Ook kan voor de diëlectrische hars een fotolak gekozen worden waardoor ook het aanbrengen van de uitsparing vereenvoudigd wordt. Een geschikte hars wordt gevormd door een poreus hars zoals onder de merknaam SILK door de Dow Chemical Company aangeboden wordt. Een dergelijk materiaal kan een hoge thermische stabiliteit bezitten van bijvoorbeeld meer dan 450 graden Celsius. Gewone fotolakken die voor het diëlectrisch gebied gebruikt kunnen worden, bezitten over het algemeen een veel lagere thermische stabiliteit van bijvoorbeeld 200 tot 300 graden Celsius. Hierdoor kan het materiaal van het diëlectrisch gebied ontleed en daarbij vergast worden terwijl het materiaal van diëlectrische laag nog stabiel blijft. Wel kunnen de bij ontleding van het diëlectrisch gebied gevormde gassen ontwijken door de diëlectrische laag heen.

Het is echter niet noodzakelijk dat het diëlectrisch gebied vergast wordt voordat de uitsparing gevormd is in de diëlectrische laag. Dit kan immers ook plaats vinden na de vorming van de uitsparing waardoor de gevormde gassen nog gemakkelijker afgevoerd kunnen worden.

In een verdere uitvoeringsvorm wordt voor het eerste materiaal een fotolak gekozen en wordt voor het tweede materiaal een vloeibaar glas gekozen dat door verhitting omgezet wordt in een vast glas. Een dergelijk materiaal bezit een bijzonder hoge ontledingstemperatuur en bovendien moet een dergelijk materiaal reeds een warmtebehandeling ondergaan om omgezet te worden in een vast glas bij een zo hoge temperatuur dat daarbij de meeste organische materialen ontleed en vergast worden. In dit geval kan dus in feite door een geschikte keuze van het materiaal van het diëlectrisch gebied een volledige processtap ten opzichte van de bekende werkwijze, namelijk het etsen van het diëlectrisch gebied, vervallen zonder dat daarvoor een additionele stap nodig is. Een geschikt glas wordt gevormd door een silicaat glas of een phosphorsilicaat glas, bijvoorbeeld die onder de merknamen ACCUSPIN of ACCUGLASS door Honeywell Electronic Materials worden aangeboden.

Uit het bovenstaande volgt dat het diëlectrisch gebied in deze variant bij voorkeur verwijderd wordt tijdens een warmte behandeling van het halfgeleiderlichaam waarbij het vloeibaar glas in vast glas wordt omgezet. Hierbij wordt dus een volledige (ets) processtap bespaard. Uit het bovenstaande volgt tevens dat zowel het eerste materiaal als het tweede in vloeibare vorm op het halfgeleiderlichaam worden aangebracht waarbij gebruik gemaakt wordt van een spin / centrifugeer proces. Hierdoor kan indien het eerste materiaal

een fotolak is, het diëlectrisch gebied gemakkelijk gevormd worden. Ook wordt de planariteit van de verkregen inrichting vergroot en dus verbeterd.

In een gunstige variant wordt het diëlectrisch gebied gevormd door het aanbrengen van een verdere diëlectrische laag waarboven een masker wordt aangebracht  
5 waarbuiten de verdere diëlectrische laag verwijderd wordt door middel van etsen en wordt de diëlectrische laag na depositie bedekt met een masker dat voorzien wordt van een opening ter plaatse van de te vormen uitsparing waarna de uitsparing gevormd wordt door middel van etsen. De verdere diëlectrische laag is bij voorkeur een fotolak en het etsen wordt dan gevormd door een ontwikkelstap.

10 Bij voorkeur wordt na verwijderen van het diëlectrisch gebied en na vorming van de uitsparing maar voordat het geleidend materiaal gedeponeed wordt het halfgeleiderlichaam gereinigd. Hierdoor worden eventuele vaste organische resten van het vergaste diëlectrische gebied alsnog verwijderd. Voor een dergelijke reiniging is het gebruik van een zuurstof plasma geschikt gebleken.

15 In een verdere variant wordt voor het elektrisch geleidend materiaal koper gekozen en wordt vóór het deponeren van het koper ter plaatse van het te vormen aansluitgebied een elektrisch geleidende laag gedeponeed die een barrière voor koper vormt. Koper is door zijn uitstekende elektrische en thermische geleidingseigenschappen een bijzonder geschikt materiaal voor een via en een trench. Door scheiding van het koper van de  
20 rest van het halfgeleiderlichaam door een koper barrière, wordt besmetting van het halfgeleiderlichaam door koper voorkomen. Een geschikt, elektrisch geleidend, materiaal voor de barrière wordt gevormd door TaN (tantalnitride). Bij voorkeur wordt de elektrisch geleidende laag door middel van een fysisch opdamp proces aangebracht en wordt het koper door middel van een galvanisch proces aangebracht.

25 De uitvinding omvat tevens een halfgeleiderinrichting verkregen met behulp van een werkwijze volgens de uitvinding. Een dergelijke inrichting kan een geïntegreerde schakeling bevatten waarvan de kleinste afmetingen bijzonder klein kunnen zijn.

30 De uitvinding zal thans nader worden toegelicht aan de van enkele uitvoeringsvoorbeelden en de tekening, waarin

Fig. 1 t/m 7 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting tonen in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvorm van een werkwijze volgens de uitvinding.

De figuren zijn niet op schaal getekend en sommige afmetingen, zoals afmetingen in de dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden of onderdelen zijn in de verschillende figuren zoveel mogelijk van hetzelfde verwijzingscijfer voorzien.

Figuren 1 t/m 7 tonen schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvorm van een werkwijze volgens de uitvinding. Bij de vorming van de inrichting 10 wordt uitgegaan (zie figuur 1) van een halfgeleiderlichaam 1 met een substraat 2, hier van silicium waarin een halfgeleiderelement 3, bijvoorbeeld zoals hier een diode gevormd wordt. Het is duidelijk dat het met 3 aangeduide gebied echter ook een deel van een transistor kan zijn zoals het source- of draingebied daarvan. Ook kan het gebied 3 een geleidend gebied zijn dat verbonden is met een van een diode of transistor deel uitmakend halfgeleidergebied of met een onder het gebied 3 liggende geleiderstrook. Op het halfgeleiderlichaam 1 wordt dan met behulp van een spin proces een 193nm fotoresist 66 aangebracht die uitgehard wordt bij een temperatuur tussen 100 en 150 graad Celsius. Boven de resistlaag 66 wordt dan een masker 30 aangebracht. Hier een op een – niet in de tekening weergegeven – glasplaat aangebrachte metaalvlek 30.

Vervolgens wordt (zie figuur 2) de resistlaag 66 belicht en ontwikkeld, waarbij de buiten het masker 30 gelegen delen van de resist 66 verwijderd worden. De diameter van de het in dit voorbeeld ronde diëlectrische gebied 6 bedraagt 150 nm, terwijl de hoogte 300 nm bedraagt.

Hierna wordt (zie figuur 3) over de inrichting 10 een diëlectrische laag 7 aangebracht, hier door, een SOG (= Spin On Glass) laag 7 op het oppervlak aan te brengen met behulp van een centrifugeer stap. Voor de laag 7 wordt een dikte gekozen van bij voorkeur tenminste twee maal de dikte van het diëlectrische gebied 6, hier een dikte van 600 nm.

Dan wordt (zie figuur 4) de inrichting 10 in een oven verhit tot 400 graad Celsius. Daarbij wordt enerzijds het vloeibaar SOG glas omgezet in een vast glas, terwijl anderzijds het diëlectrisch gebied 6 ontleed en vergast wordt waarbij binnen de diëlectrische laag 7 een holle ruimte 6A gevormd wordt op de plaats waar zich het diëlectrische gebied 6 bevond.

Vervolgens wordt (zie figuur 5) op de diëlectrische laag 7 een fotolaklaag 40  
aangebracht en met behulp van fotolithografie in het gewenste patroon gebracht. De breedte  
van de strookvormige opening in het masker 40 wordt hier gelijk gekozen aan 200 nm. Dit is  
groter dan de diameter van de holle ruimte 6A die 150 nm bedraagt. Dit heeft het voordeel  
5 dat de te vormen trench 5 een lage weerstand heeft en gemakkelijker uitgericht kan worden  
ten opzichte van het gebied 6.

Hierna wordt (zie figuur 6) door middel van het etsen met behulp van een  
droog / plasma ets proces een uitsparing 7A gevormd in die diëlectrische laag 7. Het  
etsproces wordt gestopt op het moment dat de uitsparing 7A verbonden is met de holle ruimte  
10 6A in de diëlectrische laag 7. De inrichting 10 wordt dan bij voorkeur gereinigd om eventuele  
resten van het diëlectrisch gebied 6 die in de holle ruimte 6A zijn achtergebleven, te  
verwijderen. Het reinigen kan hier plaats vinden met behulp van een zuurstof plasma.

Dan wordt (zie figuur 7) een elektrisch geleidende laag 60 op de bodem van de  
ruimte 6A gedeponereerd door middel van sputteren. Als materiaal voor de laag 60 wordt TaN  
15 gekozen welk materiaal niet of althans nagenoeg niet doorlaatbaar is voor koper. Voor de  
dikte van de laag 60 wordt een dikte van 25 nm gekozen. Hierna worden met behulp van een  
galvanisch proces zowel de ruimte 6A als de uitsparing 7A gevuld met koper. Aldus worden,  
verzonken in de diëlectrische laag 7, een aansluitgebied 4, in de vorm van een zogenaamde  
via, en een strookvormige geleider 5, in de vorm van een zogenaamde trench, gevormd,  
20 waarbij de strookvormige geleider 5 elektrisch verbonden is met het aansluitgebied 4.

De werkwijze kan nu op gebruikelijke wijze voortgezet worden totdat de  
inrichting 10 geheel voltooid is. Gebruikelijke processtappen daarbij zijn een CMP proces en  
eventueel processtappen verbonden met het aanbrengen van verdere in een diëlektricum  
verzonken aansluitgebieden en geleiders gevolgd door een CMP proces. Dan wordt  
25 bijvoorbeeld een laag siliciumnitride aangebracht waarin openingen worden aangebracht  
waarin een aansluit metaal zoals aluminium wordt gedeponereerd. De in deze alinea genoemde  
stappen zijn niet in de tekening weergegeven. Uiteindelijk kunnen individuele inrichtingen 10  
verkregen worden door middel van een separatie proces zoals zagen.

De uitvinding is niet beperkt tot het beschreven uitvoeringsvoorbeeld daar  
30 voor de vakman binnen het kader van de uitvinding vele variaties en modificaties mogelijk  
zijn. Zo kunnen inrichtingen vervaardigd worden met een andere geometrie en/of andere  
afmetingen. In plaats van een substraat van Si kan ook een substraat van glas, keramiek of  
een kunststof worden gebruikt. Het halfgeleiderlichaam kan dan gevormd worden door het



zogenaamde SOI (= Silicon on Insulator). Daarbij kan al dan niet gebruikt worden gemaakt van een zogenaamde substrate transfer techniek.

Opgemerkt wordt verder dat indien het genoemde SILK gebruikt wordt als materiaal voor de diëlectrische laag, dit eveneens door middel van etsen voorzien kan worden van de gewenste uitsparing. Een RIE (= Reactive Ion Etching) techniek is daarvoor een geschikte techniek gebleken te zijn. In dit geval wordt de genoemde reiniging bij voorkeur niet meer een zuurstof plasma uitgevoerd maar bijvoorbeeld met behulp van een zogenaamde Argon sputter reiniging. Desgewenst kan met name de depositie temperatuur van de koper barrière lager gekozen worden dan in het geval van een SOG diëlectrische laag om ontleden van het SILK materiaal te voorkomen.

Verder wordt nogmaals opgemerkt dat de inrichting verdere actieve en passieve halfgeleiderelementen of elektronische componenten kan bevatten zoals een groter aantal dioden en/of transistoren en weerstanden en/of capaciteiten, al dan niet in de vorm van een geïntegreerde schakeling. De vervaardiging wordt daarbij uiteraard doelmatig aangepast.

## CONCLUSIES:

20 12 2002

(68)

1.           Werkwijze ter vervaardiging van een halfgeleiderinrichting met een halfgeleiderlichaam en een substraat en omvattende tenminste een halfgeleiderelement en voorzien van tenminste een aansluitgebied en een daarboven liggende strookvormige aansluitgeleider die verbonden is met het aansluitgebied en die beiden verzonken zijn in een diëlektricum, waarbij op het halfgeleiderlichaam een diëlectrisch gebied van een eerste materiaal wordt aangebracht ter plaatse van het te vormen aansluitgebied waarna over het diëlectrisch gebied een diëlectrische laag van een tweede materiaal dat verschilt van het eerste materiaal wordt aangebracht die ter plaatse van de te vormen strookvormige aansluitgeleider voorzien wordt van een strookvormige uitsparing die in projectie gezien het diëlectrisch gebied overlapt en reikt tot aan het diëlectrisch gebied en waarbij na het vormen van de uitsparing en het verwijderen van het diëlectrisch gebied het aansluitgebied gevormd wordt door het deponeren van een elektrisch geleidend materiaal in de ruimte die ontstaan is door verwijdering van het diëlectrisch gebied en de aansluitgeleider gevormd wordt door het deponeren van een elektrisch geleidend materiaal in de uitsparing, met het kenmerk, dat voor het eerste materiaal een organisch materiaal gekozen wordt en voor het tweede materiaal een materiaal gekozen wordt dat een hogere ontledingstemperatuur bezit dan het organisch materiaal en het diëlectrisch gebied verwijderd wordt door middel van verhitting daarvan boven de ontledingstemperatuur van het organisch materiaal maar onder de ontledingstemperatuur van het tweede materiaal.

2.           Werkwijze volgens conclusie 1, met het kenmerk, dat voor het eerste materiaal een fotolak gekozen wordt en voor het tweede materiaal een diëlectrische hars gekozen wordt met een hogere ontledingstemperatuur dan de fotolak.

3.           Werkwijze volgens conclusie 1, met het kenmerk, dat voor het eerste materiaal een fotolak gekozen wordt en voor het tweede materiaal een vloeibaar glas gekozen wordt dat door verhitting omgezet wordt in een vast glas.

4.           Werkwijze volgens conclusie 2, met het kenmerk, dat het diëlectrisch gebied verwijderd wordt tijdens een warmte behandeling van het halfgeleiderlichaam waarbij het vloeibaar glas in vast glas wordt omgezet.

5   5.           Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat zowel het eerste materiaal als tweede in vloeibare vorm op het halfgeleiderlichaam worden aangebracht waarbij gebruik gemaakt wordt van een centrifugeer proces.

10 6.           Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat het diëlectrisch gebied gevormd wordt door het aanbrengen van een verdere diëlectrische laag waarboven een masker wordt aangebracht waarbuiten de verdere diëlectrische laag verwijderd wordt door middel van etsen en de diëlectrische laag na depositie bedekt wordt met een masker dat voorzien wordt van een opening ter plaatse van de te vormen uitsparing waarna de uitsparing gevormd wordt door middel van etsen.

15 7.           Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat na verwijderen van het diëlectrisch gebied en na vorming van de uitsparing maar voordat het geleidend materiaal gedeponeerd wordt het halfgeleiderlichaam gereinigd wordt.

20 8.           Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat voor het elektrisch geleidend materiaal koper gekozen wordt en vóór het deponeren van het koper ter plaatse van het te vormen aansluitgebied een elektrisch geleidende laag gedeponeerd wordt die een barrière voor koper vormt.

25 9.           Werkwijze volgens conclusie 8, met het kenmerk, dat de elektrisch geleidende laag door middel van een fysisch opdamp proces wordt aangebracht en het koper door middel van een galvanisch proces wordt aangebracht.

30 10.          Halfgeleiderinrichting verkregen met behulp van een werkwijze volgens een der voorafgaande conclusies.

## ABSTRACT:

20 12 2002

(68)

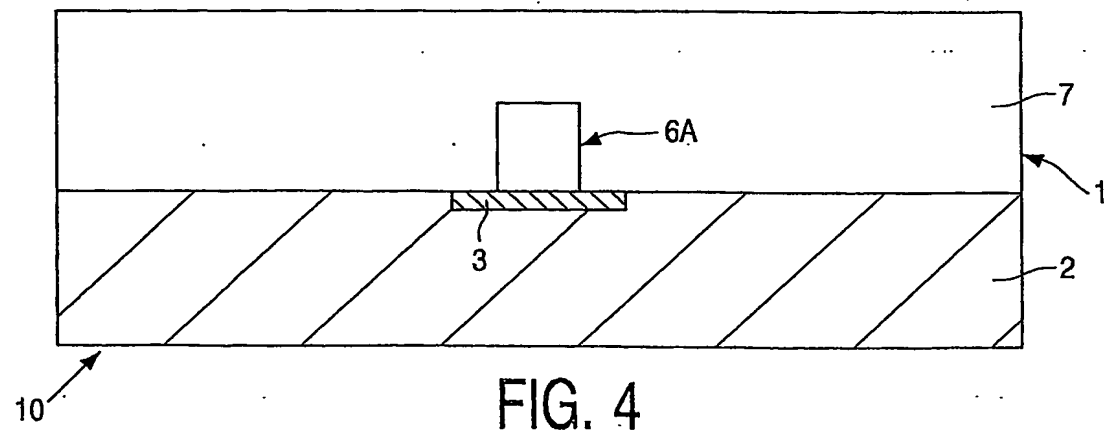
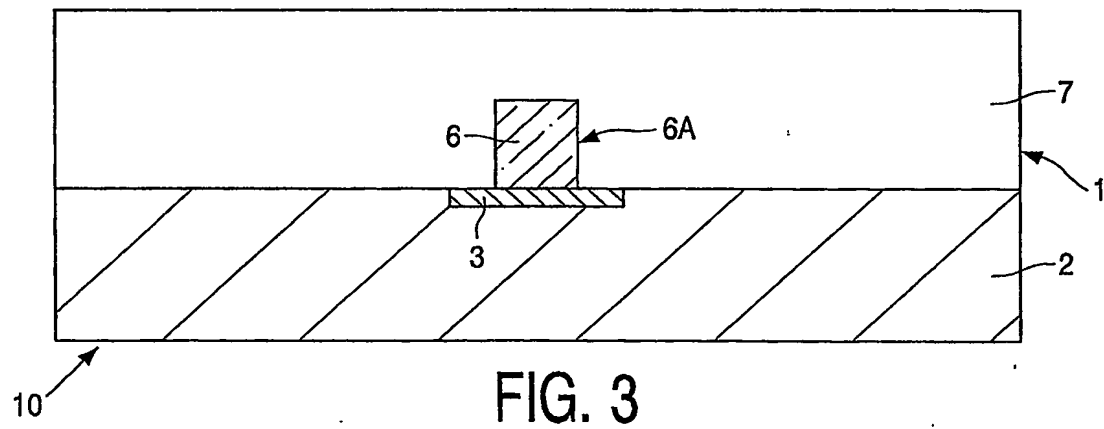
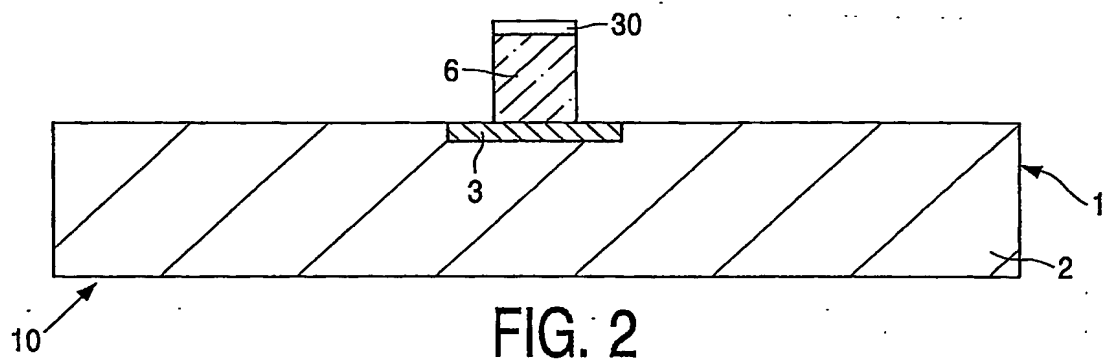
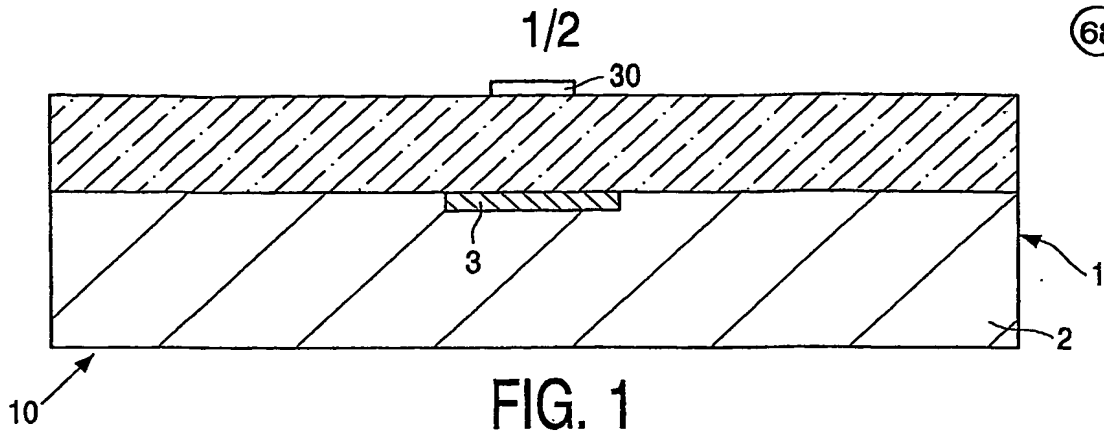
The invention relates to a the manufacturing of a semiconductor device (10) with a semiconductor body (1) and a substrate (2) and comprising at least one semiconductor element (3) and provided with at least one connection region (4) and a superimposed stripe shaped connection conductor (5) connected thereto and both sunken in a dielectric, whereby  
5 on the semiconductor body (1) a dielectric region (6) of a first material is formed at the location of the connection region (4) to be formed, and over the dielectric regions (6) a dielectric layer (7) is deposited of second material, different of the first, that is provided at the location of the stripe shaped connection conductor (5) to be formed with a stripe shaped cavity (7A) that crosses with and reaches the dielectric region (6) and whereby after  
10 formation of the cavity (7A) and after removal of the dielectric region (6), the connection region (4) is formed by depositing an electrically conducting material in the empty space (6A) created by removal of the dielectric region (6) and the connection conductor (5) is formed by deposition an electrically conducting material in the cavity (7A).

According to the invention, an organic material is chosen for the first material  
15 and a material is chosen for the second material which has a higher decomposition temperature than the organic material and the dielectric region (6) is removed by heating it at a temperature at which the organic material decomposes but at a temperature below the decomposition temperature of the second material. A method according to the invention is very simple and may with an optimal choice for the second material result in a large planarity  
20 of the device (10) obtained. For the dielectric region (4) preferably a fotoresist is used and for the dielectric layer (7) preferably a liquid material like a SILK or SOG material is used which is converted to the solid state by heating.

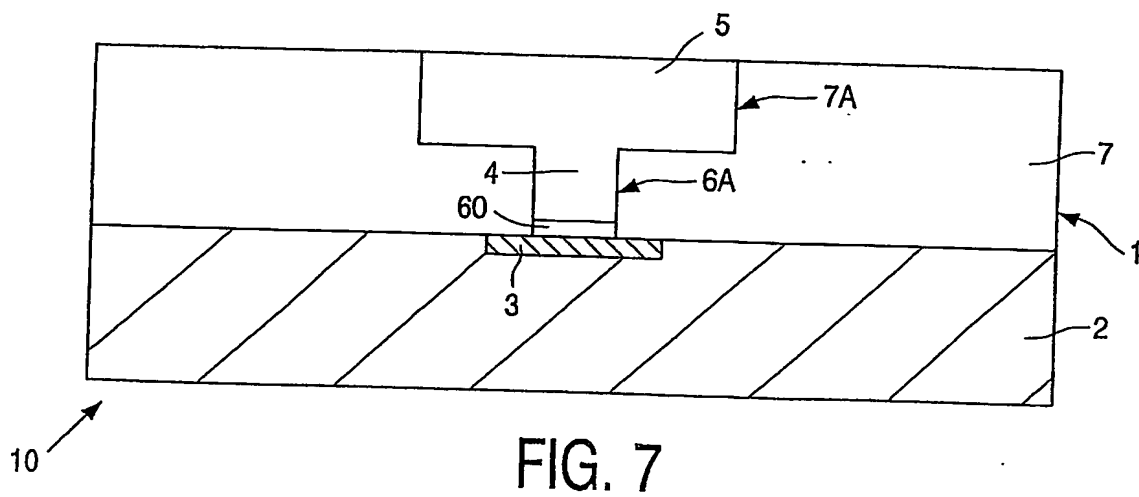
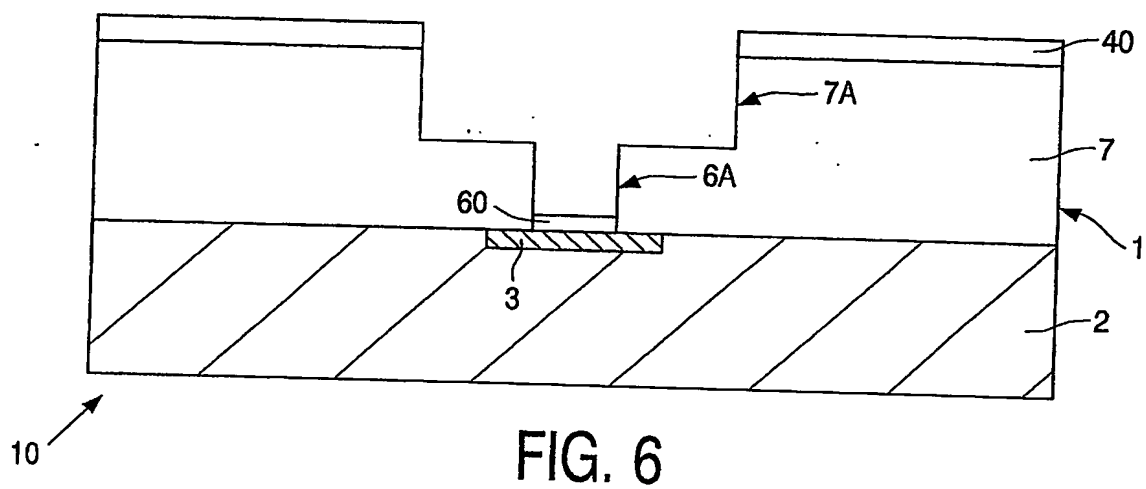
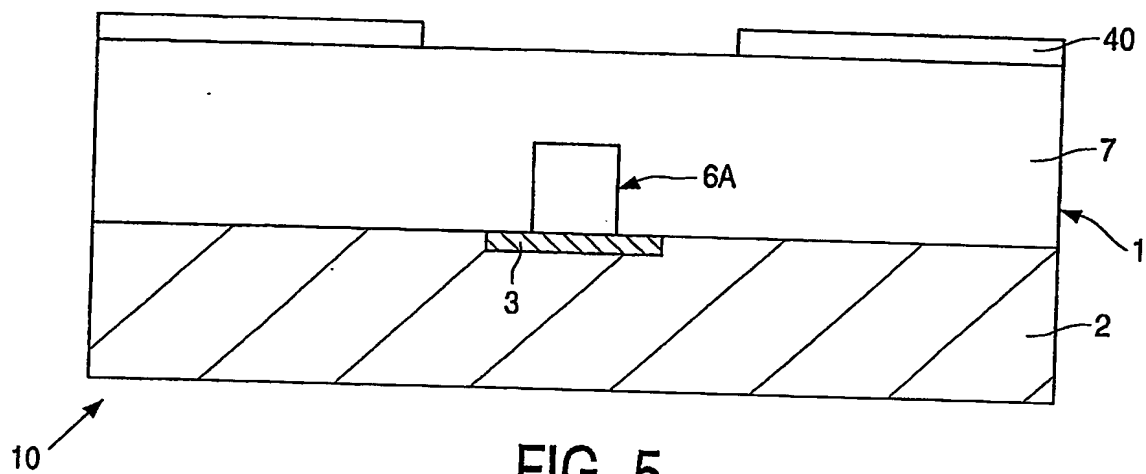
Fig. 7

2012 2002

(68)



2/2



PCT Application

**IB0306071**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**